

히스테리시스特性을 가진 Level detector에 관한 研究

李 鎔 鶴

A Study on the Level Detector with Hysteresis Characteristic

Yong-hak Lee

Abstract

In this paper, Level detector circuit is described, Zero-crossing detector with hysteresis is constructed and are proposed circuit analysis and transfer curve.

Through its circuit application and experimentation, its circuits are proposed upper and lower trip point voltage, and theoretical and experimental data of hysteresis voltage.

Throughout experimental circuit, it shows propriety of circuit analysis.

緒 言

Level detector 回路에 관해서 記述하고(Jerald等, 1974·Fredrick, 1981·Aram, 1974·Davied, 1977) 히스테리시스特性을 가진 Zero-Crossing detector 回路를 構成하여 그의 回路解析 및 變換曲線을 나타내었다. 이 回路의 解析과 實驗을 통하여 Upper 및 Lower trip point 電壓과 히스테리시스電壓의 理論値와 實驗値를 比較하여 理論의 妥當性을 確認하였다.

回路解析 및 構成

1. Level detector

Level detector에 관한 回路를 Fig.1(a)에 나타내었으며 이 回路에 대한 比較點電壓을 展開하면 다음과 같다.

Fig.1(a)에서 比較轉入力端子의 R_3 는 바이어스電流補償을 위하여 $R_1//R_2$ 의 값을 취하여 i_2 값을 無視하였고, $i_3=0$ 인 때에

$$\begin{aligned} V_- &= \{(V_{REF} - V_{IN})R_2 / (R_1 + R_2)\} + V_{REF} \\ V_+ &= V_{OS} \end{aligned} \quad (1)$$

여기에서 V_+ : 比反轉入力端子電壓

V_- : 反轉入力端子電壓

V_{OS} : off set電壓

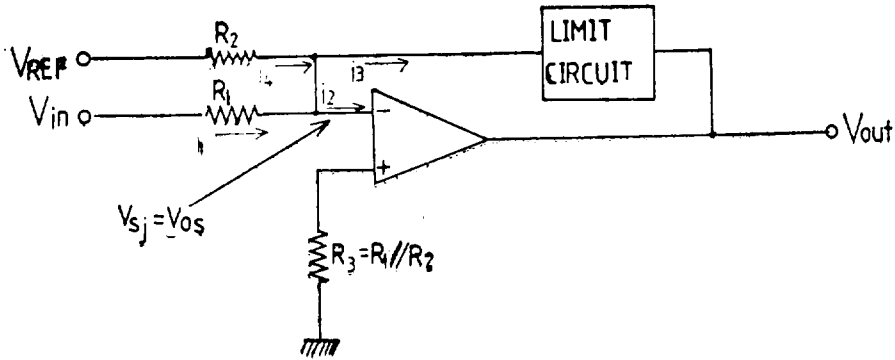
V_{REF} : 基準電壓

(1)式에서 $i_1=i_4$, $V_+=V_-$ 이므로 比較點電壓 V_{IN} 을 구하면

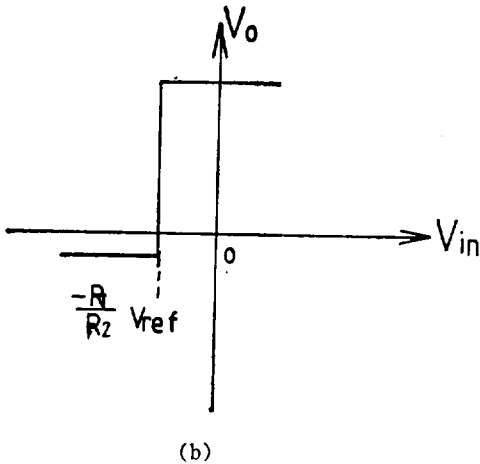
$$\begin{aligned} V_{OS} &= (V_{REF} - V_{IN}) \frac{R_2}{R_1 + R_2} + V_{REF} \\ V_{IN} &= -R_1 R_2 V_{REF} + (1 + \frac{R_1}{R_2}) V_{OS} \end{aligned} \quad (2)$$

가 된다. (2)式的 第2項은 誤差의 項이 된다. (2)式에서 off set 電壓이 0가 되도록 調整하면 $V_{IN} = -\frac{R_1}{R_2} V_{REF}$ 가 되어 比較點은 R_1/R_2 의 比로 定해진다.

한편 Summing type의 level detector의 變換曲線은 Fig.1(b)에 나타내었다.



(a)



(b)

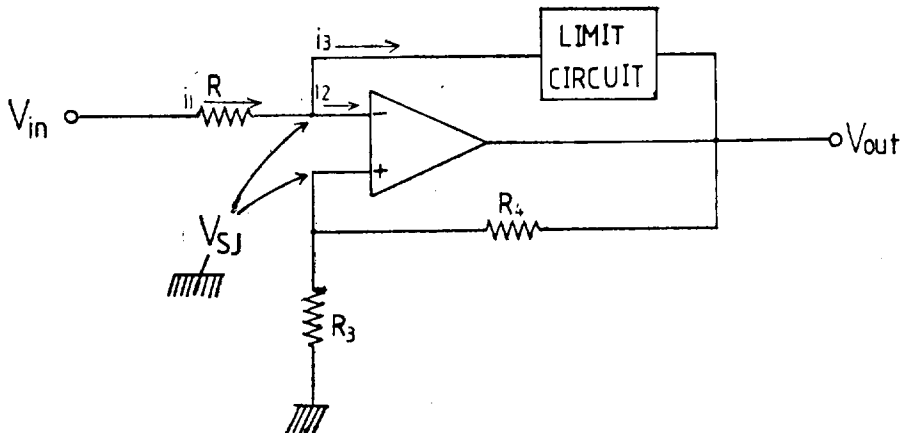
Fig 1. Level detector (a) Circuit Diagram
(b) Transfer Curve

2. 히스테리시스特성을 갖는 level detector

히스테리시스特성을 얻기 위해 外部에 正歸還을 利用한 回路를 Fig.2(a)에 나타내었다.

Fig.2(a)에서 $V_{os}=0$, 基準電壓 $V_{REF}=0$ 라고 하면 入力電壓 V_{IN} 이 負의 電壓에서 0V로 가까와 질때 出力電壓 V_{OUT} 는 正의 電壓(V_{OUT}^+)이 나타난다. 이때

Summing Junction Voltage $V_{Sj}^+ = V_{OUT} + \frac{R_3}{R_3 + R_4}$ 으로 된다. 다음 $V_{IN} = V_{Sj}^+$ 인 순간 V_{OUT} 는 0V로 되며 $V_{IN} > V_{Sj}^+$ 이면 V_{OUT} 는 負의 電壓(V_{OUT}^-)로 變換된다. 이 경우 V_{Sj} 는 V_{Sj}^- 로 變換되며 $V_{Sj}^- = V_{OUT} - \frac{R_3}{R_3 + R_4}$ 으로 變換된다. 그리고 $V_{IN} > V_{Sj}^+$ 상태와 반대로 $V_{Sj}^- < V_{IN} < V_{Sj}^+$ 일때 出力電壓은 V_{OUT}^- 로 變換된다. 이와같이 入力電壓의 變化에 따라 變化되는 變換曲線은 Fig.2(b)에 나타내었다.



(a)

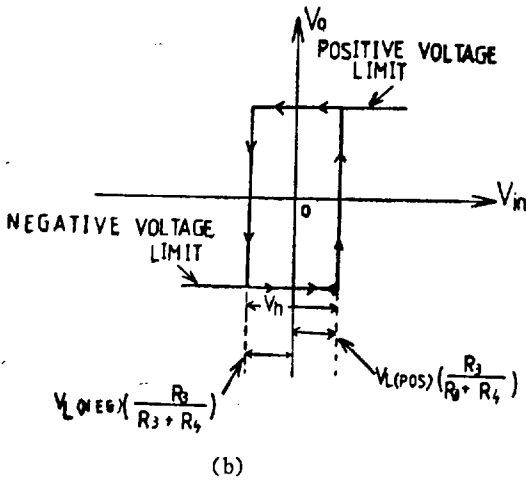


Fig. 2. Zero-crossing detector with hysteresis
(a) Circuit Diagram (b) Transfer Curve

Fig.2(a)에서 Summing Junction電壓 V_{sJ} 는

$$V_{sJ} = V_{out} \frac{R_3}{R_3 + R_4} \quad (3)$$

이며 出力電壓 V_{out} 는

$$V_{out} = V_{sJ} \pm V_L \quad (4)$$

但, V_L : limit circuit電壓

(3), (4)式에서 V_{sJ} 와 V_{out} 를 구하면 各各 다음과 같이 된다.

$$V_{sJ} = \pm V_L \frac{R_3}{R_4} \quad (5)$$

$$V_{out} = \pm V_L \left(1 + \frac{R_3}{R_4}\right) \quad (6)$$

단약 基準電壓 V_{REF} 를 正의 電壓으로 加할때 出力電壓 $V_{OUT,REF} = V_{REF} \pm V_L \left(1 + \frac{R_3}{R_4}\right)$ 이며 이때 Upper 및 Lower trip point電壓 V_{UT} 및 V_{LT} 는

$$V_{UT} = V_{REF} + \frac{V_{OUT^+} - V_{REF}}{R_3 + R_4} \cdot R_1 \quad (7)$$

$$V_{LT} = V_{REF} + \frac{V_{OUT^-} - V_{REF}}{R_3 + R_4} \cdot R_1 \quad (8)$$

가 된다. 그러므로 히스테리시스電壓의 幅 V_H 는

$$V_H = |V_{UT} - V_{LT}| = \frac{V_{OUT^+} - V_{OUT^-}}{R_3 + R_4} \cdot R_1 \quad (9)$$

로 된다.

材料 및 方法

Level detector 回路構成을 Fig.3에서와 같이 構成하였으며 이 回路에 使用된 回路素子 및 使用電源은 다음과 같다.

R_1 : 10K Ω

R_2 : 60, 70, 80, 90, 100K Ω

R_3 : R_1/R_2 D_1 및 D_2 : 6V용 제너다이오드

V_{IN} : -15V ~ +15V電源 V_{REF} : +2V

OP Amp電源: +15V, -15V

構成回路에서 R_3 는 바이어스電流補償을 위해 R_1/R_2 의 값을 취하여 i_2 의 값을 0가 되게 하였으며 off Set電壓은 正常動作範圍 내에서 調整하여 實驗하였다. 그리고 제너다이오드의 特性에 의해 $V_L^+ = 6.0V$, $V_L^- = 6.50V$ 로 하였다.

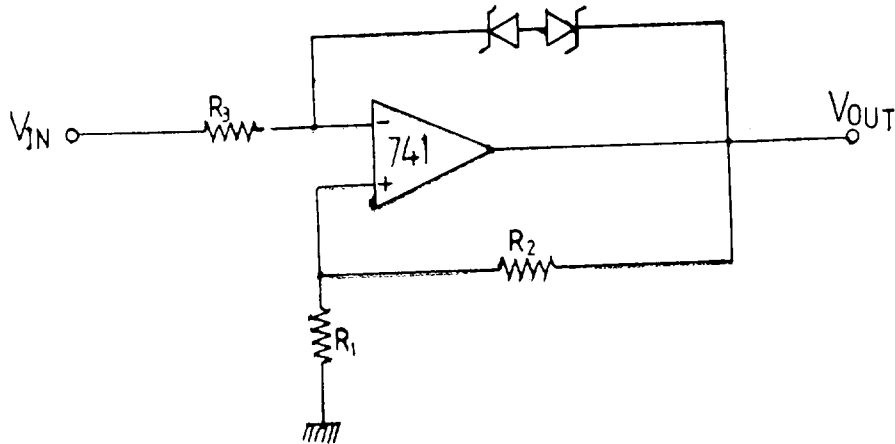


Fig 3. Experiment circuit of level detector with hysteresis.

結果 및 考察

Fig.3 構成回路에서 $R_2=60, 70, 80, 90, 100K\Omega$ 의 變化에 대한 V_{UT}, V_{LT}, V_H 의 理論値와 實驗値의 結果는 Table 1.에서와 같다.

1. R_1R_2 의 比가 클수록 V_{UT}, V_{OUT} 는 增加하고 V_{LT} 는 減少한다.
2. $R_1 > R_2$ 일때 히스테리시스曲線 幅은 넓어지고 $R_1 < R_2$ 일때 히스테리시스曲線幅은 좁아진다.
3. 信號源에 包含된 雜音成分의 크기에 따라 히스테리시스幅을 정하므로 level detector의 作用을 確實

Table 1. Relation between theory and experiment values versus variation of R_1, R_2, R_3 values.

R_1 [Ω]	R_2 [Ω]	R_3 [Ω] R_1HR_2	V_{OUT}^+		V_{OUT}^-		V_{UT}		V_{LT}		V_H	
			Theory	Exp.	Theory	Exp.	Theory	Exp.	Theory	Exp.	Theory	Exp.
10K	60K	8.57K	9.47	9.48	5.58	5.61	3.06	2.99	0.92	0.99	2.14	2.00
10K	70K	8.75K	9.31	9.33	5.43	5.45	2.91	2.84	1.07	1.14	1.84	1.70
10K	80K	8.89K	9.2	9.20	5.31	5.35	2.80	2.73	1.19	1.26	1.61	1.47
10K	90K	9K	9.11	9.11	5.22	5.23	2.71	2.64	1.28	1.35	1.37	1.29
10K	100K	9.09K	9.04	9.03	5.15	5.17	2.64	2.57	1.35	1.42	1.29	1.15

摘 要

히스테리시스特性을 가진 level detector 回路構成에서 다음과 같은 結論을 얻을 수 있었다.

- 이할 수 있다.
4. R_2 의 變化로 히스테리시스幅을 容易하게 變化시킬 수 있으므로 自動制御系의 應用度가 크다.

引 用 文 獻

Aram Budak. 1974. Passive and Active Network Analysis and Synthesis. Houghton Mifflin Company : 265~274.

Fredrick W. Hughes. 1981. OP Amp Handbook. Prentice-Hall, Inc. : 26~32.

Jerald G. Grame and Gene E. Tobey. 1974. Operational Amplifiers Design and Applications. McGraw-Hill : 358~364.

David F. Stout. 1977. Operational Amplifiers Circuit Design. McGraw-Hill : 9~18.